

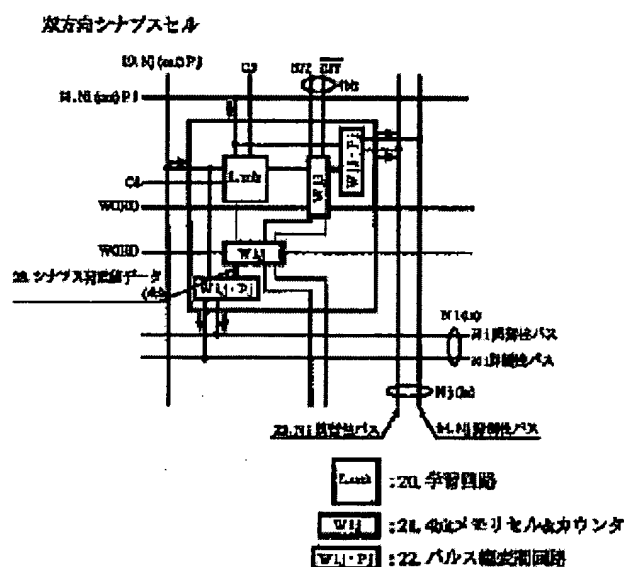
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE USING NEURAL NETWORK

✓ Publication number: JP7093277
 ✓ Publication date: 1995-04-07
 Inventor: HIRABAYASHI HIROSHI
 Applicant: NIPPON ELECTRIC CO
 Classification:
 - International: **G06G7/60; G06F15/18; G06N3/063; H01L29/66; G06G7/00; G06F15/18; G06N3/00; H01L29/66; (IPC1-7): G06F15/18; G06G7/60; H01L29/66**
 - European:
 ✓ Application number: JP19930237080 19930924
 ✓ Priority number(s): JP19930237080 19930924

Report a data error here

Abstract of JP7093277

PURPOSE: To reduce the number of components by performing pulse density modulation and pulse width modulation processing inside a neuron and a synapse cell based on an idea in the manner of an analog circuit. **CONSTITUTION:** The synapse load value data of 4 bits are inputted and set from a 4-bit memory & counter 21 to two pulse width modulation circuits 22 independent in the direction of arithmetic, the respective inputted pulse widths are modulated by the pulse width modulation circuits 22 corresponding to the respectively set synapse load value data, the pulse width modulated signal of an output 18 of the Ni neuron cell is sent to the input pulse of the Nj neuron cell, and the pulse width modulated signal of an output 19 of the Nj neuron cell is sent to an input bus 23 of the Ni neuron cell. The input paths of Ni and Nj neuron cells are respectively composed of an excited path and a suppressed path and when the synapse load value data are positive, they are sent to the excited path but when those data are negative, they are sent to the suppressed path.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2624143号

(45)発行日 平成9年(1997)6月25日

(24)登録日 平成9年(1997)4月11日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/18	5 2 0		G 0 6 F 15/18	5 2 0 A
G 0 6 G 7/60			G 0 6 G 7/60	
H 0 1 L 29/66			H 0 1 L 29/66	

請求項の数4(全 16 頁)

✓(21)出願番号	特願平5-237080	(73)特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
✓(22)出願日	平成5年(1993)9月24日	(72)発明者	平林 浩 東京都港区芝五丁目7番1号 日本電気 株式会社内
✓(65)公開番号	特開平7-93277	(74)代理人	弁理士 京本 直樹 (外2名)
(43)公開日	平成7年(1995)4月7日	審査官	石井 茂和

(54)【発明の名称】 ニューラルネットワークを用いた半導体集積回路装置

1

(57)【特許請求の範囲】

【請求項1】 複数のニューロンセルが各々シナプスセルを介して他のニューロンセルに結合されているニューラルネットワークを用いた半導体集積回路装置において、

前記ニューロンセルが、各々C R回路の電圧値で保持されている内部状態値を有し、各々前記シナプスセルを介して入力されるパルス信号を第一の入力線である興奮性パスと第二の入力線である抑制性パスから受けとり、前記第一及び第二の入力線からの入力信号に応じ前記C R回路の内部状態を更新する前記C R回路に接続された電荷注入と電荷引き抜きの回路を有し、パルス幅一定のパルス信号を前記内部状態値に従い単位時間当たりのパルス数を制御しながら出力する発振制御回路と発振回路を有し、

2

前記シナプスセルが、各々RAMで保持されるシナプス荷重値を有し、前記シナプス荷重値に従い、各々ニューロンセルから入力される個々のパルスをパルス幅変調するパルス幅変調回路を有し、
各々シナプス荷重値が正の時はニューロンセルの第一の入力線である興奮性パスに前記パルス幅変調したパルス信号を出力し、シナプス荷重値が負の時はニューロンセルの第二の入力線である抑制性パス前記パルス幅変調したパルス信号を出力する興奮、抑制切替え回路を有することを特徴とするニューラルネットワークを用いた半導体集積回路装置。

【請求項2】 前記シナプスセルが、入力された前記パルス幅が一定のパルスの立ち下がり信号伝達遅延を抑制し、×1以下の乗算はパルス幅を狭くし、立ち上がり信号の伝達時間を遅らせ、×1以上の乗算はパルス幅を

広くし、立ち下がり信号の伝達時間を遅らせることによりパルス幅変調を行なうことを特徴とする請求項 1 に記載のニューラルネットワークを用いた半導体集積回路装置。

【請求項 3】前記シナプスセルが、前記ニューロンセルから出力パルスのパルス幅をシナプス荷重値に応じて変調するパルス幅変調回路と、シナプス荷重値を保持し更新するカウンタ付きの RAM を有し、シナプス荷重値の更新を前記ニューロンセルの内部状態値が閾値を越えてパルスを出力しているニューロンセルを出力側に有する前記シナプスセルに対して、シナプスセルが有するシナプス荷重値を前記カウンタの bit 右シフト 1 回により $1/2$ にし、設定した時間内でシナプスセルの入力側のニューロンセルからのパルスをカウント UP することにより、学習機能を有することを特徴とする請求項 1 又は請求項 2 に記載のニューラルネットワークを用いた半導体集積回路装置。

【請求項 4】前記ニューロンセルが、各々ニューロンセルが有する前記内部状態値を外部から設定、保持する RAM を有し、前記内部状態値の更新を前記興奮性パスと前記抑制性パスからの信号に応じて行わず、前記 RAM に保持される設定値に固定する発振抑制回路を有することを特徴とする請求項 1 及び請求項 2 又は請求項 3 に記載のニューラルネットワークを用いた半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本技術は半導体集積回路装置に関し、特にニューラルネットワークを用いた半導体集積回路装置とその学習方法に関する。

【0002】

【従来の技術】大規模なニューラルネットワーク半導体集積回路技術で実現する場合、ニューロンの内部状態を決定するのに、多くのシナプスからの出力値の和をとらなければならないが、従来のアナログ型回路では、このシナプス出力値の和をアナログ波高値による電流加算により実現していた。

【0003】しかし、アナログ波高値は、配線抵抗や波形整形によるアナログ値精度、信頼性の問題から、大規模なニューラルネットワークを実現するのは難しい。また、従来の完全デジタル型の回路による場合、信号はデジタル処理によるので上記の問題は回避できるが、構成素子数が非常に多くなるため、多数のシナプスを 1 チップで実現するのは困難である。

【0004】図 1 4 は、従来の集積回路の信号システム形態を説明するための図である。

【0005】図 1 4 の D-D 型は、ニューロン出力値をパルス密度で、シナプス荷重値をパルス幅で表し、シナプス演算をそのパルス密度とパルス幅の AND 演算をとることにより実現、多数のシナプスからの演算結果の和

の処理をそれぞれのシナプスから出力されたパルス密度の OR 演算により実現、ニューロンの内部状態は、パルス数をカウントして求める。この方式をもつものとしては、特開平 2-181284 号公報がある。

【0006】図 1 4 の A-A 型は、ニューロン出力値をアナログ電圧値で、シナプス荷重値もアナログ電圧値で表し、シナプス演算をギルバート演算回路のアナログ波高値変調で実現、多数のシナプスからの演算結果の和の処理を電流加算により実現、ニューロンの内部状態は加算電流の抵抗による電圧降下値を用いる。この方式をもつものとしては、IEEE Computer Vol 21 No 3 p 41-49、ニューロチップ ETANN (IJCNN Sessions. Electronic Neurocomputers, 2-191 (1989)) で発表されている。

【0007】図 1 4 の D-A 型は、ニューロン出力値をパルス密度で、シナプス荷重値をアナログ又はデジタルの電圧で表し、シナプス演算をニューロン出力値とシナプス荷重値を制御ゲート信号とする MOS. Tr を直列に接続した回路のアナログ波高値変調、多数のシナプスからの演算結果の和の処理を電流加算により実現、ニューロンの内部状態は加算電流の抵抗による電圧降下値を用いる（特開平 2-181284 号公報）。

【0008】上記のそれぞれの欠点は、D-D 型は、デジタル回路の構成素子数が多くなる。

【0009】A-A 型は、ニューロンの入出力信号が、アナログ波高値であるため、配線抵抗、容量等の配線寄生要素やノイズによるアナログ波形の整形が困難でネットワークの大規模化が難しい。

【0010】D-A 型は、ニューロンの入力信号が、アナログ波高値であるためネットワークの大規模化が難しい。

【0011】

【発明が解決しようとする課題】従来のニューラルネットワークモデルは、ニューロン出力値を、電圧値または電流値を用いているため、耐雑音性、配線抵抗による信号減衰等の影響を受ける。また、ニューロン出力値をパルス密度信号にする場合でも、シナプス演算回路をデジタル回路によるゲート開閉時間制御方式にした場合でも、シナプスセルを構成する素子数が多くなり、LSI としてチップ内に構成できるシナプス結合数の大規模化は望めない。

【0012】

【課題を解決するための手段】本発明によれば、複数のニューロンセルが各々シナプスセルを介して他のニューロンセルに結合されているニューラルネットワークを用いた半導体集積回路装置において、前記ニューロンセルが、各々 C R 回路の電圧値で保持されている内部状態値を有し、各々前記シナプスセルを介して入力されるパルス信号を第一の入力線である興奮性パスと第二の入力線

である抑制性パスから受けとり、前記第一及び第二の入力線からの入力信号に応じ前記C R回路の内部状態を更新する前記C R回路に接続された電荷注入と電荷引き抜きの回路を有し、パルス幅一定のパルス信号を前記内部状態値に従い単位時間当たりのパルス数を制御しながら出力する発振制御回路と発振回路を有し、前記シナプスセルが、各々R A Mで保持されるシナプス荷重値を有し、前記シナプス荷重値に従い、各々ニューロンセルから入力される個々のパルスをパルス幅変調するパルス幅変調回路を有し、各々シナプス荷重値が正の時はニュー

【0013】

【実施例】本発明のニューラルネットワークを用いた半導体集積回路装置の信号処理形態は、図1に示すように、基本的に全て2値の信号波形となり、ニューロンセル部では、電圧値で示されるニューロンの内部状態値に応じてニューロンから出力される単位時間当たりのパルス幅一定のパルスの数を制御し、シナプスセルでは、ニューロンセルから出力されるパルス幅一定のパルス列の個々のパルス幅をシナプス荷重値に応じて変調することにより、ニューロンから入力された値とシナプス荷重値との積をとる。

【0014】各ニューロンの入力に継る、多数のシナプス演算結果の和は、シナプスセル出力のパルス幅変調信号をワイヤードORすることにより行なう。

【0015】次に、本発明について回路動作を図面を参照して説明する。

【0016】図2は、本発明の第1の実施例のニューロチップ内システム構成図である。

【0017】搭載ニューロン数は、256個である。

【0018】双方向シナプスセル4は、シナプスセルを2つもち、シナプスセル1セル当たり、4bitのカウンタ付きS R A Mセルをシナプス荷重値の保持と修正に使う。チップ内のシナプスセル部5としては、256個のニューロンセル6のフルコネクションに対して、25

6K、S R A Mが必要となる。

【0019】その他、学習データと制御アルゴリズム用の命令プログラムを保持するために、データ8bitの512K、S R A M10を備える。

【0020】図3にデジタル多値のニューロン内部状態データ、シナプス荷重値データフォーマットを示す。

【0021】ニューロンデータ13の属性値14は、対応するニューロンセル6が入力層、中間層、出力層のどのグループに属するか、等の情報を示すためのもので、学習アルゴリズムにより、層間の学習が異なる場合の制

御に役立つ。

【0022】双方向シナプスセル4の構成を、図4に示す。

【0023】双方向のシナプスセル4は、2つのニューロンセル(N iニューロンセルとN jニューロンセル)間を双方向に結合する学習機能を有するシナプスセルで、演算の向きによって、それぞれ独立したシナプス荷重値を2つの4bitメモリセル&カウンタ21に、それぞれ保持し、演算の向きに対して独立した2つのパルス幅変調回路22に4bitのシナプス荷重値データを先の2つの4bitメモリ&カウンタ21から入力セットし、2つのニューロンセル(N iニューロンセルとN jニューロンセル)から出力されるパルス幅一定のパルス列N i(out)P i18、N j(out)P j19を、シナプス荷重値データ28がセットされたパルス幅変調回路22にそれぞれ入力し、入力された個々のパルス幅をそれぞれセットされたシナプス荷重値データに応じて、パルス幅変調回路で変調し、N iニューロンセルの出力18のパルス幅変調後の信号は、N jニューロンセルの入力パルスに送られ、N jニューロンセルの出力19のパルス幅変調後の信号は、N iニューロンの入力パス23に送られる。

【0024】N i、N jニューロンセルの入力パスは、それぞれ興奮性パスと抑制性パスで構成され、パルス幅変調時のシナプス荷重値データが正の時は、パルス幅変調後の信号が興奮性パスに送られ、シナプス荷重値データが負の時は、パルス幅変調後の信号が抑制パスに送られる。

【0025】シナプス荷重値の初期値のセットは、各メモリセル&カウンタ21に継るWORD線とBIT線で行われ、R A Mのデータ書き込みと同じ手段をとる。従ってシナプス荷重値データは、R A Mのデータ書き込み及び読み出しと同じ手段で、書き込みと読み出しを行なう。

【0026】学習回路20は、シナプス荷重値の更新の時に、2つのニューロンセル(N iニューロンセルとN jニューロンセル)のパルス信号をANDした信号を出力する。

【0027】メモリセル&カウンタ21回路では、学習回路20で、N iニューロンセルとN jニューロンセルの出力パルスをANDして生成されたパルス信号を、カウンタでカウントし、シナプス荷重値データを更新する。

【0028】図5に、シナプス演算に対する回路図を示す。

【0029】ニューロン出力パルス密度信号18であるところのシナプス入力を制御信号とするC M O S ゲート25と、シナプス荷重値データとなる4bitの信号線28をそれぞれゲート信号としもつチャネル抵抗比が1:2:4:8のP c h及びN c h、M O S T r群2

6, 27をCOMSゲート25の上下に直列に接続し、4bit分のシナプス荷重値信号28に応じて、MOS Tr群26, 27のチャネル抵抗を変え、次段のCMOSゲート29に流れ込む過渡的な電流値を変える、これにより、次段のCMOSゲート29のLow→High、またはHigh→Lowにスイッチングするゲートの閾値レベル電位に電圧が上げられるまで充電時間、または閾値レベル電位以下に電圧が下げられるまでの放電時間が変わる。よって、入力パルスのパルス幅が、シナプス荷重値の4bit分のシナプス荷重値信号28に従って変調される。

【0030】パルス幅変調された信号は、シナプス荷重値の正負の信号に応じ、ニューロンセルの興奮性及び抑制性パス23, 24に送られる。

【0031】シナプスセルのシナプス荷重値の保持と、学習回路20によるシナプス荷重値更新は、メモリとカウンタの複合回路21としている。

【0032】ニューロンセルは、図6に示すように、内部状態値保持回路30、更新、設定回路31、発振制御回路32、発振回路3により構成されている。

【0033】内部状態保持回路30は、4bitのメモリセルでWORD線とBIT線により4bitで示される内部状態値をRAMと同じ手段で、書き込む。

【0034】内部状態値保持回路30の4bitで示される内部状態値は、更新・設定回路31でアナログ電圧に変換されニューロン内部状態値（アナログ値）35として発振回路に入力される。

【0035】ニューロンデータ13の属性値14で指定された入力層ニューロンセルのように、ニューロン内部状態値35を内部状態値保持回路30の4bitデータで設定する場合、ニューロンセルに入力される興奮性パスと抑制性パスの信号を発振制御回路32によって遮断する。

【0036】ニューロンセルの内部状態値があらかじめ決められていないニューロンセルは、興奮性と抑制性の2つの入力パスから信号を受け、CR回路で保持されている内部状態値のアナログ電圧値を興奮性パスの信号がHighの期間は増加させ、抑制性パスの信号がLowの期間は低減させるように、更新・設定回路で更新させる。

【0037】発振回路33は、ニューロン内部状態値（アナログ値）35の電圧値に応じて、内部の発振周波数を変え、発振回路33から出力されるパルス間隔を変える。発振回路33から出力される個々のパルス幅Tsは、常に一定となっている。

【0038】図7にニューロン出力特性を示す。横軸はニューロン内部状態値のアナログ電圧値で、右縦軸のHighレベルパルス比率Gは単位時間当たりのパルスのHigh状態時間の割合を示している。ニューロン出力パルス発生頻度は、最大で約20%になる。

【0039】ニューロンセルの内部状態値設定回路を、図8に示す。

【0040】ニューロンセルの内部状態値35は、興奮性パス23と抑制性パス24の信号の比率を抵抗と容量による時間積分でアナログ電圧に変換され設定されたり、内部状態値保持回路30と発振制御回路32により、興奮性及び抑制性パスの信号によらず一定の値に設定できる。

【0041】学習認識について、説明する。

【0042】シナプス荷重値の初期値は、各メモリセル&カウンタ21に学習済みのシナプス荷重値を書き込んだり、学習済みのシナプス荷重値がなく、これから学習される場合には、ランダム値を書き込んでおく。

【0043】シナプス荷重値は、図2に示すように、通常のSRAMと同様にデータの読み出し、書き込みが、R/W信号36に従い行われる。

【0044】アルゴリズム命令系処理についてプログラム化された、LVQ (Learning Vector Quantization) 学習制御アルゴリズム

は、図9に示すように、シナプス荷重値ベクトル37を入力ベクトル38に近づけるため、現在のシナプス荷重値を、右シフト1回で半分にし、200ns間に、入力ベクトルに対応する入力層ニューロン出力（パルス密度表現）を、カウントUPし、シナプス荷重値更新を行なう。

【0045】また、シナプス荷重値の更新をするシナプスセルは、信号電搬方向（信号の受けて側）のニューロンの内部状態が、閾値を越えて発火しているシナプスセルに対してのみ行われる。

【0046】これは、前記のシナプス荷重値更新時に学習回路のAND出力信号をカウントUPすることで行える。

【0047】ニューロンセルのデータセット、全シナプスセルのシフト、カウンタ、ラッチの制御は、SRAM10の制御プログラムに従って制御ユニット12からの制御信号によって行われる。

【0048】本方式の学習プロセスを、図10に示す。

【0049】実行モードでは、学習データに従いニューロンデータ13の属性値14で指定された入力層ニューロンの内部状態値15をニューロンセルにセットし、属性値で指定された出力層のニューロンセルの発火分布が収束するまで動作させる。この動作時間は、約100nsである。次に、実行過程でできた出力層のニューロン発火分布に従って前記したシナプス荷重値W更新を、入力層ニューロンの内部状態値をセットしたままで行なう。

【0050】図11は、本発明の第2の実施例の双方向シナプスセルのブロック図である。

【0051】第一の実施例のニューロチップが双方向のシナプスセルでセル内にシナプス荷重値保持更新用のメ

10

20

30

40

50

モリセルとカウンタの複合回路21を、信号電搬方向に対して別々に設けられていたのに対して、第二の実施例の双方向シナプスセルは、双方向シナプスセルの集積度を上げられるように、信号電搬方向に対して同じシナプス荷重値を設けることとし、シナプス荷重値保持更新用のメモリセルとカウンタの複合回路21を1つにする。適用学習アルゴリズムは、ボルツマンマシンがある。

【発明の効果】図13は、本発明のニューラルネットワークを用いた半導体集積回路装置を用い、図12に示すWinner take allネットワークを構成し10て動作認識した波形解析結果である。

【0052】Winner take allネットワークは、自分自身には興奮性の結合がされており、他のニューロンとは抑制性の結合がされたことを特徴とするネットワークのことである。

【0053】ニューロン内部状態の初期値が最も高いものが、最後に他のニューロンの発火を押えて、最終的に発火し続ける素子がわる。解の収束時間もシナプス演算をダイナミックに行っているため、100~200nsと非常に速い。

【0054】この収束時間は、ニューロン数を増加した場合でも、ほとんど変わらない。

【0055】以上、本技術のパターン認識装置に関する、ニューラルネットワークを用いた信号処理技術は、アナログ回路的発想に基づく、ニューロン及びシナプスセル内でのパルス密度変調、パルス幅変調処理により、従来のデジタル入出力型のシナプス回路に比べ構成素子数が少なくすることができ、シナプス、ニューロンセル間の信号伝達形態を2値の信号波形にしているため、ニューラルネットワークの半導体集積回路による大規模化が、アナログ波高値変調を用いたものより、実現の可能性が高い。

【0056】また、シナプス演算のパルス幅変調は、信号のLow→High、High→Lowの時の伝達遅延の制御によるダイナミックな処理であることから、演算が非常に速い。

【図面の簡単な説明】

【図1】本発明のシステム形態図

【図2】本発明の第1の実施例のニューロチップ内システム構成を示す図

【図3】ニューロチップ内アドレス空間を示す図

【図4】シナプスセルブロック図

【図5】シナプス演算部回路図

【図6】ニューロンセルブロック図

【図7】ニューロン出力特性を示す図

【図8】ニューロン内部状態値更新・設定回路図

【図9】学習アルゴリズム概要図

【図10】学習制御プロセスを示す図

【図11】本発明の第2の実施例のシナプスセルブロック図

【図12】Winner take networkを示す図

【図13】Winner take all networkによる回路波形回折結果を示す図

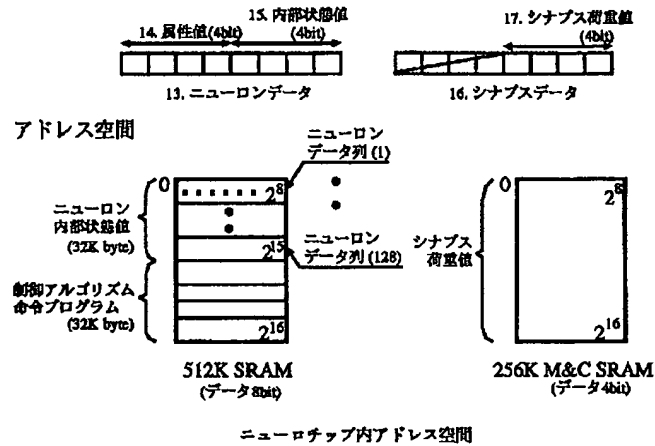
【図14】従来のシステム形態図

【符号の説明】

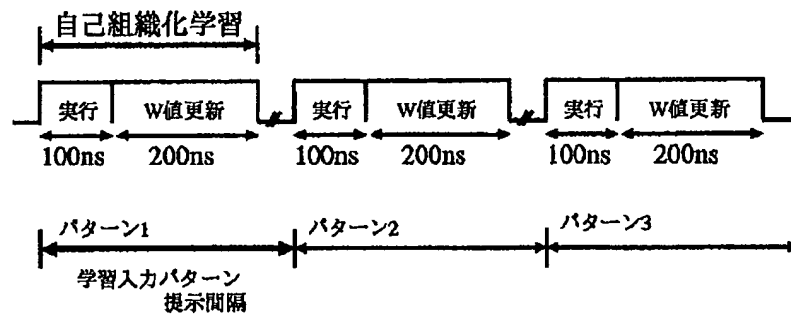
- 1 シナプス入力パルス信号
- 2 シナプス出力パルス信号
- 3 シナプス荷重値多値電位
- 4 双方向シナプスセル
- 5 双方向シナプスセルblock (256×256)
- 6 ニューロンセル
- 7 ニューロン属性値格納block
- 8 列デコーダ+マルチプレクサ
- 9 行デコーダ
- 10 512K SRAM
- 11 学習データ、アルゴリズム命令系処理block
- 12 制御ユニット
- 13 ニューロンデータ
- 14 属性値(4bit)
- 15 内部状態値(4bit)
- 16 シナプスデータ
- 17 シナプス荷重値(4bit)
- 18 Niニューロン出力
- 19 Njニューロン出力
- 20 学習回路
- 21 4bit メモリセル&カウンタ
- 22 パルス幅変調回路
- 23 Nj興奮性パス
- 24 Nj抑制性パス
- 25 第1CMOSゲート
- 26 PchMOSTr群
- 27 NchMOSTr群
- 28 Nシナプス荷重値データ(4bit)
- 29 第2CMOSゲート
- 30 内部状態値保持回路
- 31 更新、設置回路
- 32 発信制御回路
- 33 発信回路
- 34 正負信号
- 35 ニューロン内部状態値(アナログ値)
- 36 R/W
- 37 シナプス荷重値ベクトル
- 38 入力ベクトル
- 39 ラッチ
- 40 シフト
- 41 カウンタ
- 44 シナプス入力パルス信号
- 45 シナプス出力パルス信号
- 46 シナプス入力アナログ電位

- | | |
|-------------------|-----------------------------|
| 11 | 12 |
| 47 シナプス出力アナログ電流 | * 51 シナプス荷重値 (MOSゲートアナログ電位) |
| 48 シナプス入力パルス信号 | 52 AND論理ゲート |
| 49 シナプス出力アナログ電流 | 53 ギルバート乗算器 |
| 50 シナプス荷重値 (パルス幅) | * 54 CMOS+MOS直列回路 |

【図3】

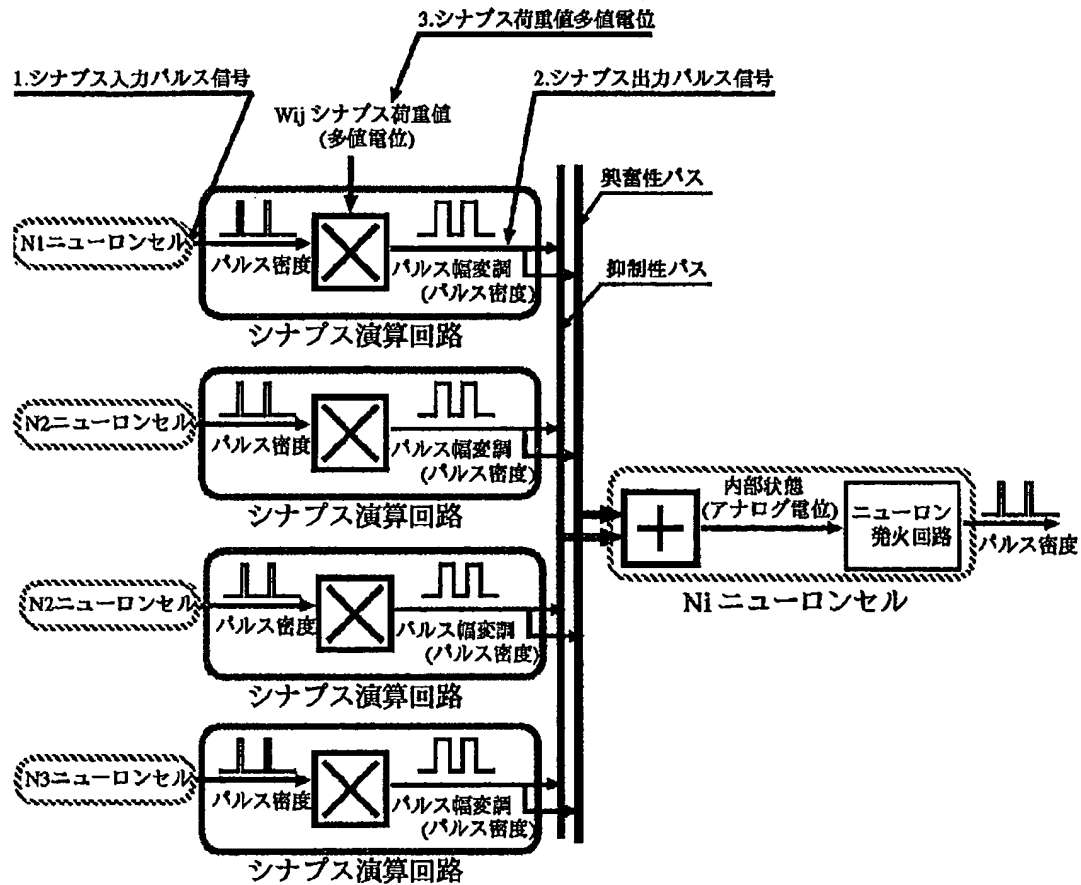


【図10】



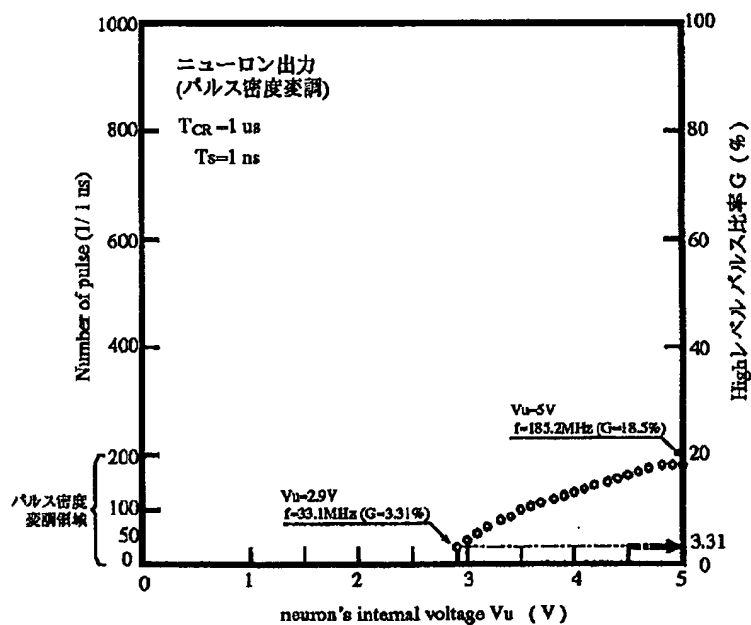
学習制御プロセス

【図1】



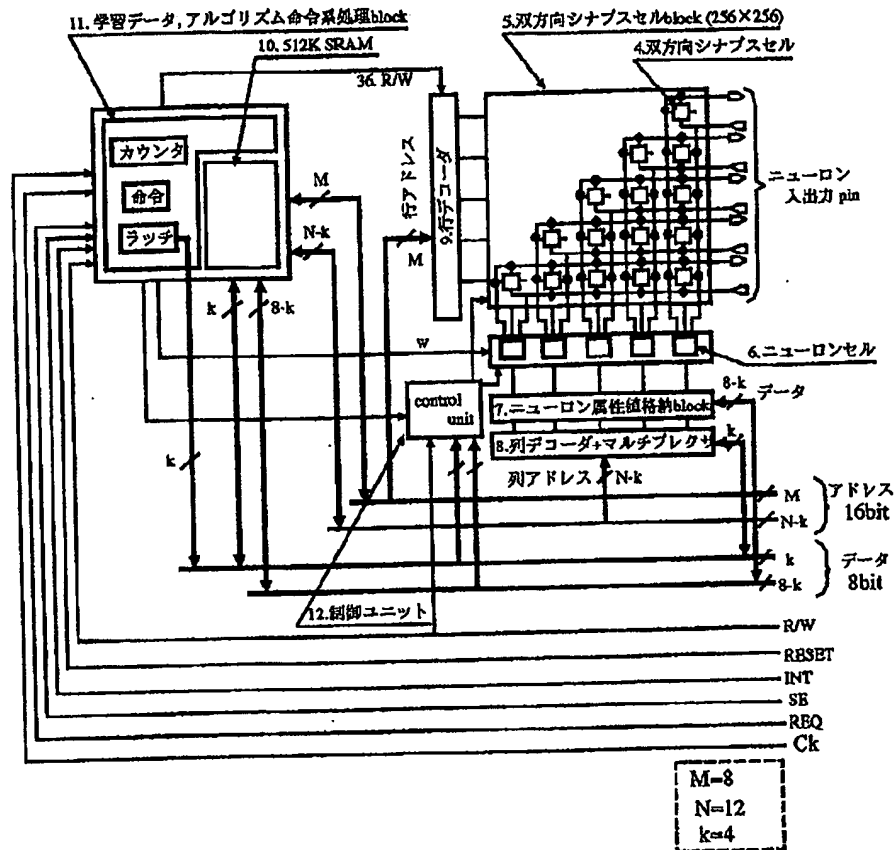
本発明のシステム形態図

【図7】



ニューロン出力特性

【図2】

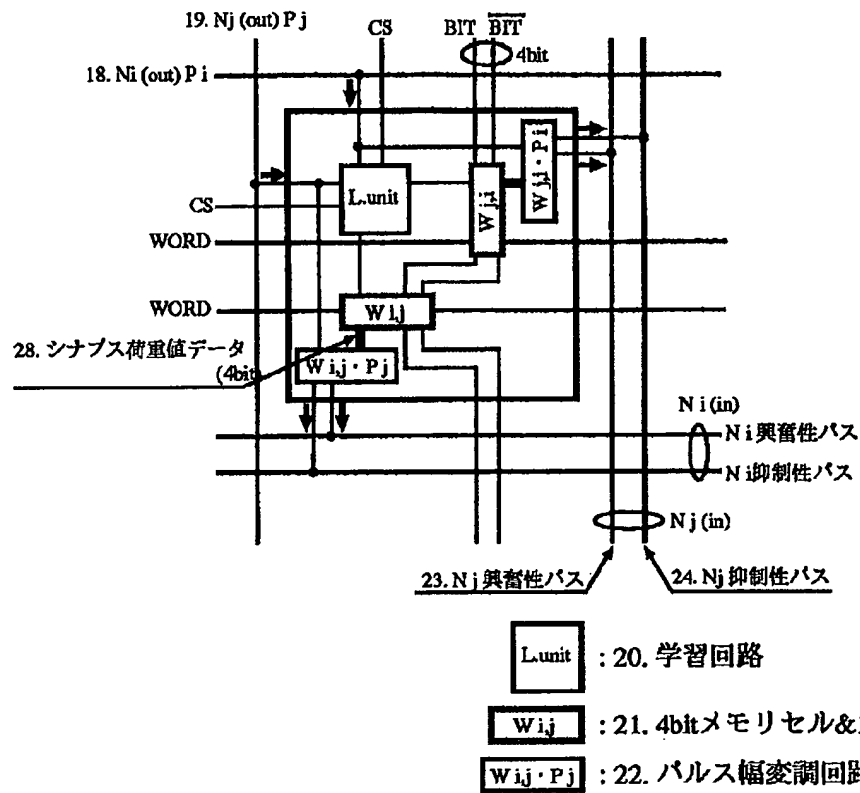


パルス用アナログ	双方向ニューロン入力興奮性 256pin		768pin
	抑制性 256pin		
	単一方向ニューロン出力 256pin		
host.COMP用	アドレス 16bit	16pin	24pin
	データ 8bit	8pin	

本発明の第1の実施例のニューロチップ内システム構成

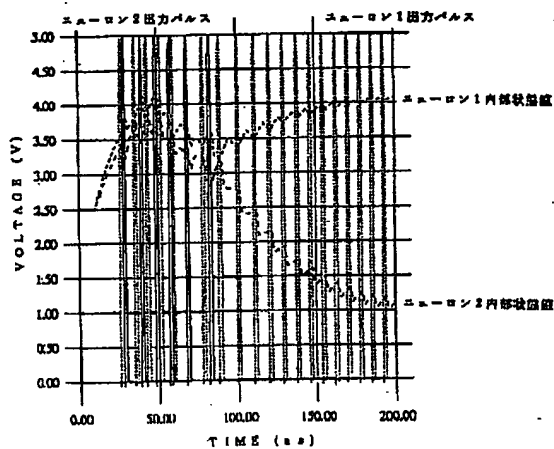
【図4】

双方向シナプスセル

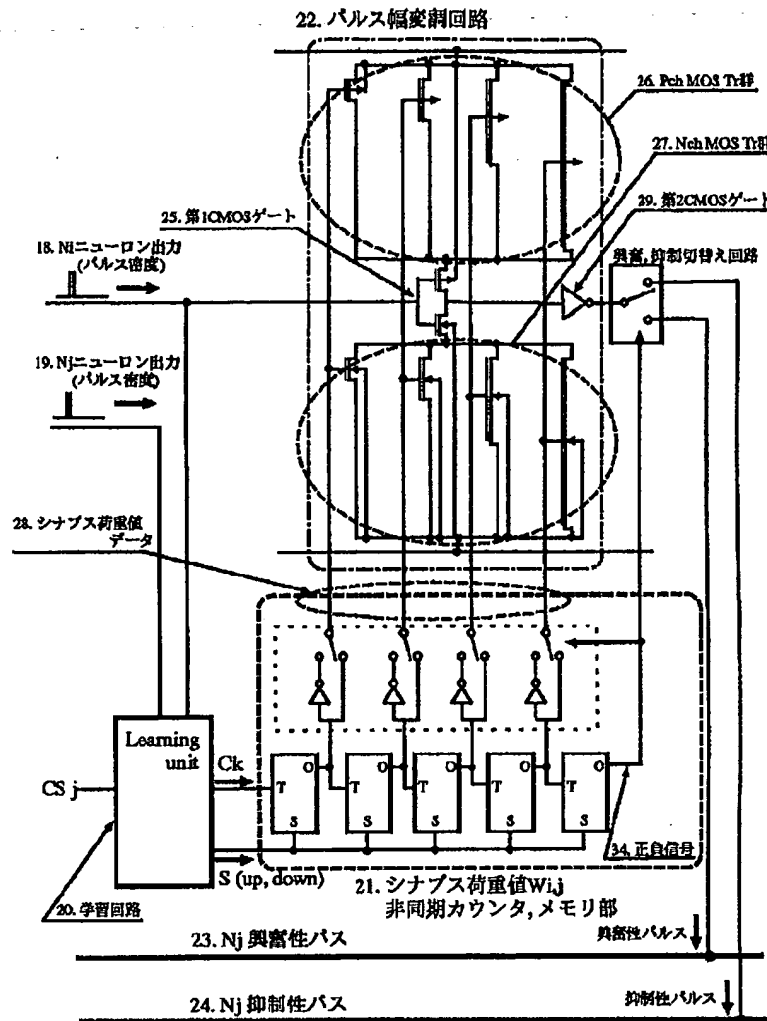


シナプスセルブロック図

【図13】

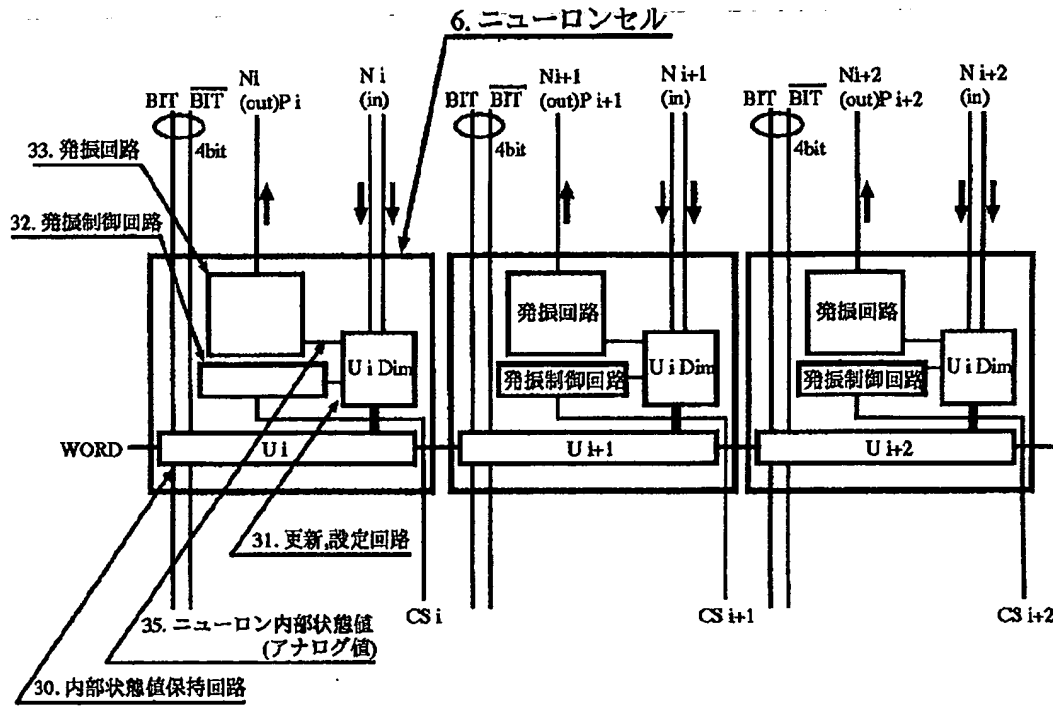


【図5】



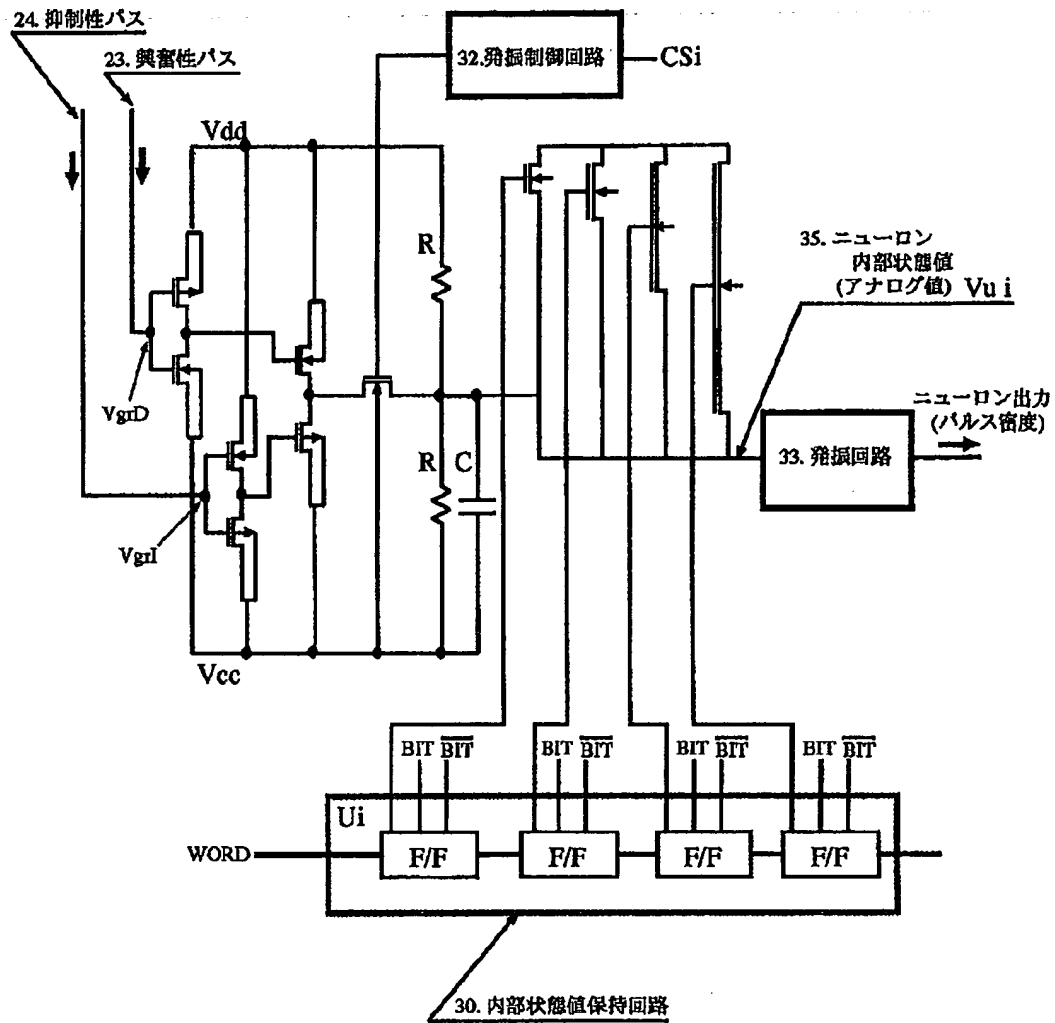
シナプス演算部回路図

【図6】



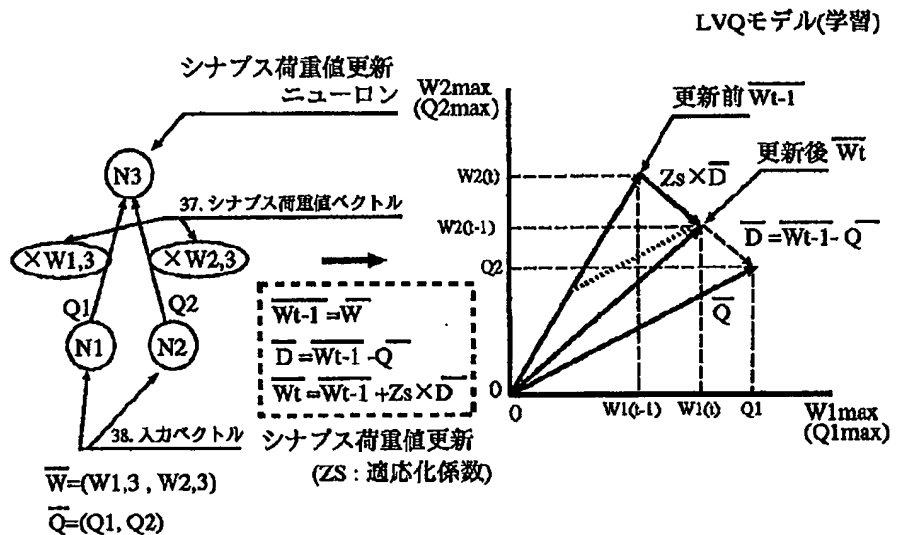
ニューロンセルブロック図

【図8】

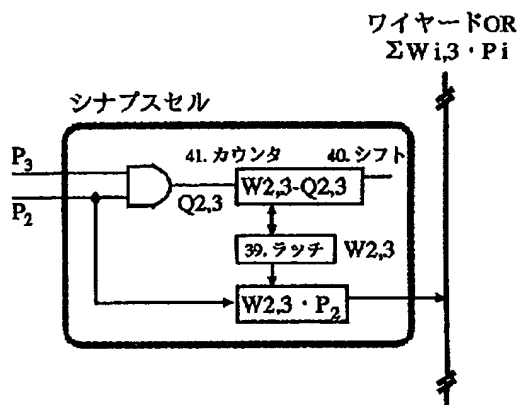
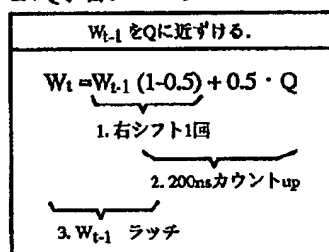


ニューロン内部状態値更新・設定回路図

【図9】



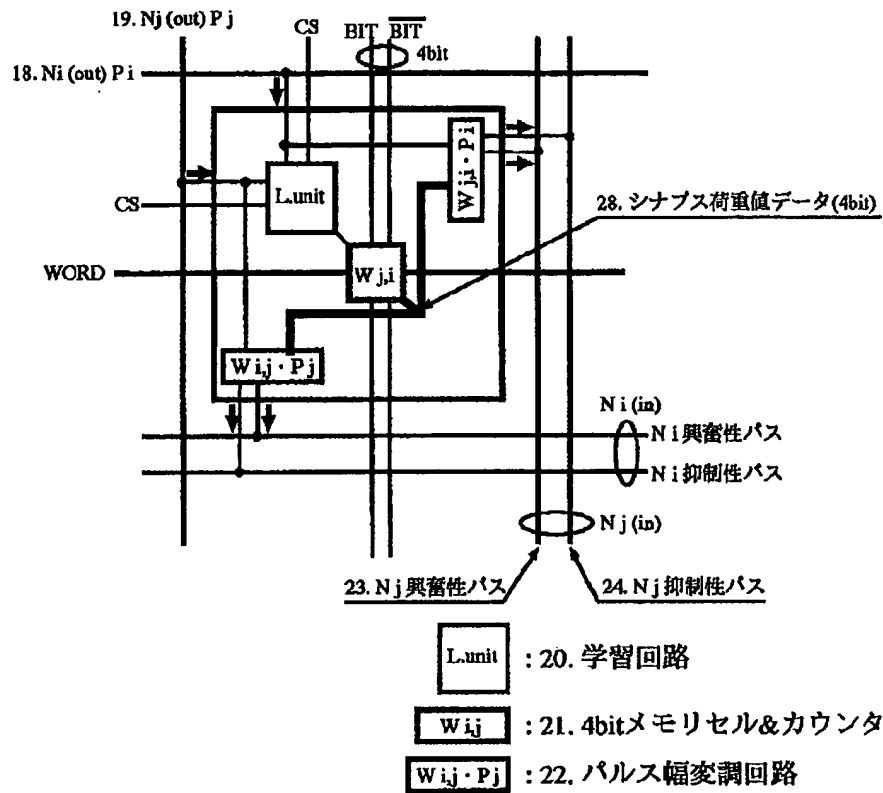
LVQ学習アルゴリズム



学習アルゴリズム概要図

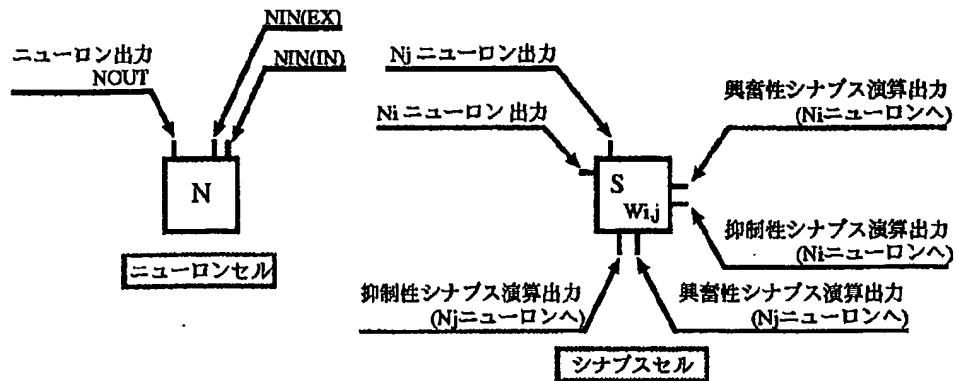
【図11】

双方向シナプスセル

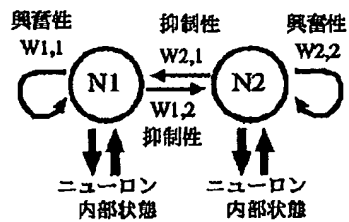


本発明の第2の実施例のシナプスセルブロック図

【図12】



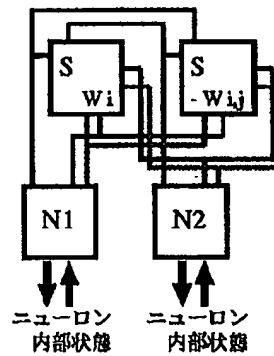
Winner take all 問題



シナプス結合荷重値

抑制性: $W_{1,2} = W_{2,1} = -W_{ij}$ (双方向リンク)

興奮性: $W_{1,1} = W_{2,2} = W_i$

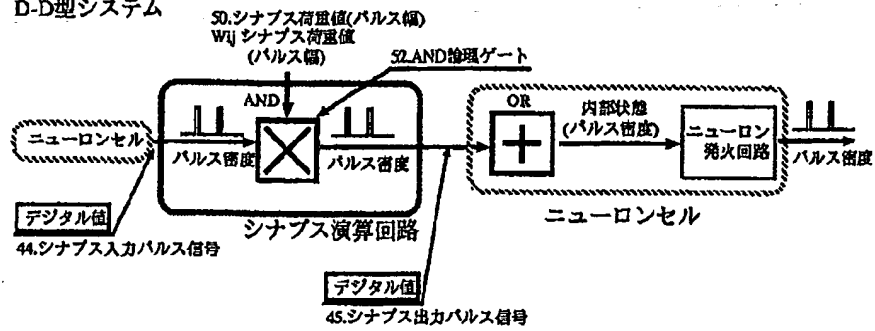


ニューラルネットワークシステム

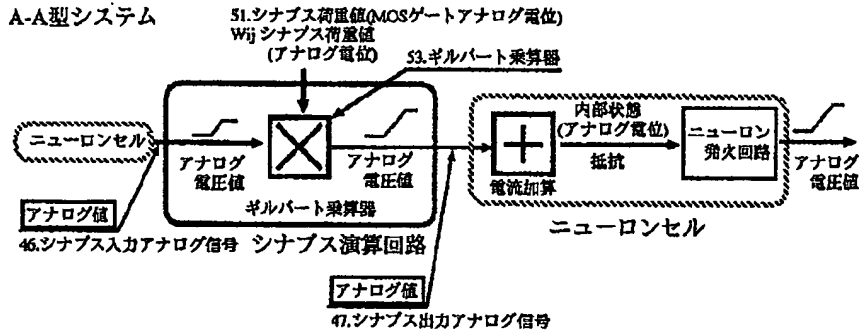
Winner take all network

【図14】

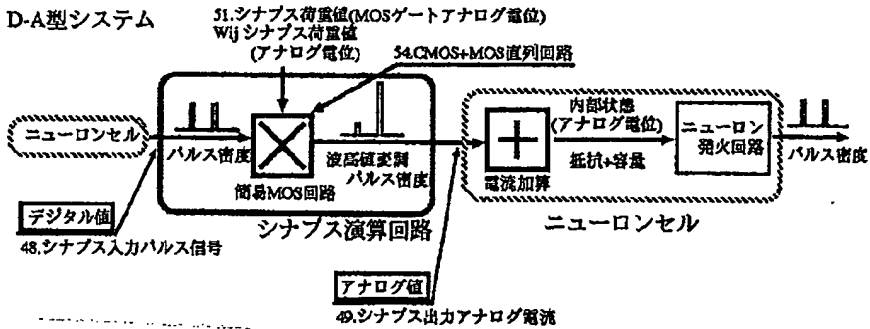
D-D型システム



A-A型システム



D-A型システム



従来のシステム形態図